

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-316851

(43)Date of publication of application : 21.12.1989

(51)Int.Cl.

G06F 13/00

G06F 15/16

(21)Application number : 63-147965

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 17.06.1988

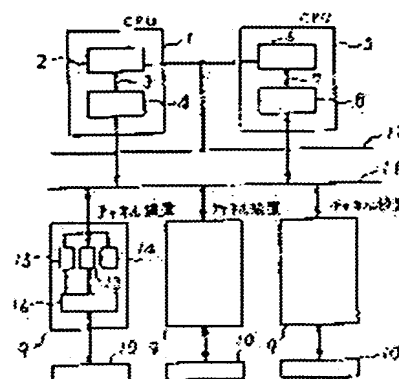
(72)Inventor : IWASE HARUYOSHI

(54) CHANNEL CONTROL SYSTEM

(57)Abstract:

PURPOSE: To recognize the hang-up state of a channel device before being accessed by sending an interruption signal to a CPU which occupies the channel device and transferring error information to another CPU when the channel device detects an error.

CONSTITUTION: In case of requesting a processing to the channel device 9 by the CPU1, the CPU1 sets its own address on an interruption address register 25 in a control memory part 14. When the channel device 9 detects an unrecoverable error in performing a processing, a processor 13 stops the operations of a data transfer control part 15 and an input/output interface part 16, and sends the interruption signal to the CPU occupying the channel device, and simultaneously, sets the content of the interruption address register 25 on a buffer 4 in the CPU1. The CPU1 reads the interruption address of the buffer 4, and transfers the error information of the channel device 9 to another CPU5 allocated by using a common bus 11, and stores it in the internal register of an arithmetic execution part 6.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-316851

⑮ Int. Cl.⁴

G 06 F 13/00
15/16

識別記号

3 0 1
4 7 0

庁内整理番号

J-7230-5B
E-6745-5B

⑬ 公開 平成1年(1989)12月21日

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 チヤネル制御方式

⑰ 特 願 昭63-147965

⑱ 出 願 昭63(1988)6月17日

⑲ 発 明 者 岩 瀬 晴 由 東京都府中市東芝町1番地 株式会社東芝府中工場内
⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地
㉑ 代 理 人 弁 理 士 則 近 憲 佑 外1名

明 細 書

1. 発明の名称

チヤネル制御方式

2. 特許請求の範囲

複数の演算処理装置と複数のチヤネル装置が共通バスで接続されているシステムにおいて、チヤネル装置内のレジスタに占有する演算処理装置の割込みアドレスをセットし、チヤネル装置がエラーを検知して停止状態となる場合、チヤネル自視をHALT状態(プロセッサがエラー処理を行い、入出力データの転送を中断する状態)にして占有している演算処理装置に対し前記割込みアドレスを送出して、複数の演算処理装置に対し前記チヤネル装置のエラー情報を転送することを特徴とするチヤネル制御方式。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

複数の演算処理装置(以下CPU)と複数のチヤネル装置が、共通バスで接続されているシステムに

おいてチヤネル装置内に制御レジスタを有するチヤネルの制御方式に関するものである。

(従来の技術)

チヤネル装置は高速処理のCPUが低速の入出力装置に妨げられないように設けられている。CPUがチヤネル装置をアクセスする場合、そのチヤネル装置内にあるステータスレジスタの内容を参照し、アクセス可能かどうか判断して使用できる場合には入出力動作を行なわせるための命令(コマンド)、主記憶のアドレス(データアドレス)、転送データ量(データカウント)をチヤネル装置内の制御レジスタ内に書き込み、チヤネル装置に対して処理を依頼する。するとチヤネル装置はCPUから指定された入出力装置を起動させデータの転送を開始する。

そして、その処理が終了するとCPUに対して割込み信号を送り、動作の終了を知らせる。このようなチヤネル装置においてチヤネル装置自身が何故不能なエラー(自分自身でのエラー訂正が不能な状態)が発生すると処理を中断し、即停止状態と

特開平1-316851(2)

なる。

(発明が解決しようとする課題)

このようなチャネル装置を使用してマルチプロセッサシステムを構成すると、チャネルをアクセスしていたCPUは占有していたチャネル装置がエラーにより停止状態となったことがわかるが、他のCPUはわからないため必要に応じ、そのチャネル装置のステータスレジスタの内容を参照しにゆくといったことが起る。ところが停止状態にあるためアクセスできない、あるいは停止状態にあることがわからないため共通バスを獲得しようと待つなど無駄な処理と時間を費やすという問題がある。本発明はマルチプロセッサシステムでのチャネル制御方式において、チャネル装置が回復不能なエラーを検知することにより停止状態となる場合、チャネルを占有しているCPUを含む複数のCPUに対して停止状態であることを知らせることができるチャネル制御方式を提供するにある。

(発明の構成)

(課題を解決するための手段)

説明する。

第1図は本発明によるチャネル制御方式を説明するためのブロック図である。第2図はチャネル装置9内のコントロールメモリ部14の一部を表わしたものである。21はチャネル装置や、それに接続されている入出力装置の状態を表わすステータスレジスタ、22はチャネル装置に入出力動作を行なわせるためのコマンドレジスタ、23は主記憶のアドレスを表わすデータアドレスレジスタ、24は転送データ量を表わすデータカウントレジスタ、25は本発明で追加したチャネル装置を占有するCPUの割込みアドレスを格納する割込みアドレスレジスタである。

チャネル装置9はプログラムを内蔵するコントロールメモリ部14の内容にもとづきプロセッサ13が処理を実行する。CPU1がチャネル装置9に対して処理を依頼する場合、コントロールメモリ部14(主記憶上のアドレス空間に割付けられたアドレスを持っている。)のステータスレジスタ21の内容を参照する。アクセス可能な場合にはコントロ

ルメモリ部14の割込みアドレスレジスタ25に対し自己の割込みアドレスをセットする。そしてチャネル装置が回復不能なエラーを検知した場合、チャネル装置自身をHALT状態(マイクロプロセッサがエラー処理を行い入出力データの転送を中断する状態)にして占有しているCPUに対し割込み信号を送出する。割込み信号を受けたCPUは共通バスの調停を行い、自己の割込みアドレスの内容に従い他のCPUに対し前記チャネル装置のエラー情報を転送しようとするものである。

(作用)

これによりCPUがチャネル装置をアクセスする場合、そのチャネル装置がエラーを検知して停止状態となっている時にはアクセスしようとする前にそのチャネル装置が停止状態となっていることを認識することが可能となる。

(実施例)

以下、本発明を図面に示す一実施例を参照して

ールメモリ部14の割込みアドレスレジスタ25に対し自己の割込みアドレスをセットする。

そして、チャネル装置9が正常に処理を終了すると割込みアドレスレジスタ25の内容をクリアし共通バス11を開放して初期の状態にもどす。

ところがチャネル装置9が処理中に回復不能なエラー(自分自身でのエラー訂正が不可能でプロセッサ13が健全な状態)を検知した場合、プロセッサ13はデータ転送コントロール部15、入出力インタフェース部16の動作を停止させ、共通バス11を使って占有していたCPU1に対し割込み信号を送出すると同時に初めにセットされた割込みアドレスレジスタ25の内容(CPU1がチャネル装置故障時、割込処理ルーチンに入るための命令が格納されているアドレス)をCPU1のバッファ4内にある割込みアドレスバッファにセットする。上記割込み信号を受けたCPU1はマスターCPUとなってバス調停信号ライン12をアクティブな状態にし、一時期共通バス11の使用権を優先順位に従って割りあてる。

そしてCPU1はバッファ4の割込みアドレスを読

特開平1-316851(3)

んで割込み処理ルーチンに入り共通バス11を使って割りあてた他のCPU5に対し前記チャネル装置9のエラー情報を転送する。CPU5はこれらのエラー情報を読んで演算実行部6の内部レジスタに格納する。そしてその内部レジスタに上記エラー情報が格納されている場合にはチャネル装置をアクセスする前にその内容を参照してから行うものである。共通バス11がCPU1の制御のもとにある時はCPU2はローカルバス7上のデータを読んでいる。そしてCPU1が全てのCPUに対し前記チャネル装置9のエラー情報を転送し終ると共通バス11を通常の状態に開放する。

尚、以上についてはCPU1が占有しているチャネル装置に対してエラーが発生した場合について述べたが、CPU5が占有しているチャネル装置にエラーが発生した場合にもCPU5はCPU1に対して同じ処理が行なわれる。又、実施例ではCPUを2台しか記載していないが2台以上であってもかまわない。
〔発明の効果〕

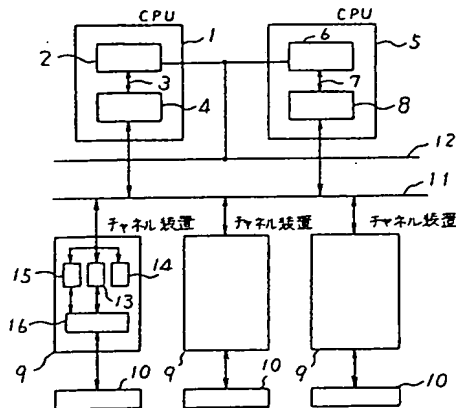
以上説明したように本発明によればCPUがチャ

ネル装置をアクセスしようとする前に、そのチャネル装置のエラー情報から停止状態であることがわかるため無駄な処理時間がなくなり効率のよいシステムを提供することができる。

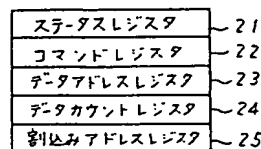
4. 図面の簡単な説明

第1図は本発明によるチャネル制御方式の一実施例を示すブロック図、第2図はチャネル装置のコントロールメモリの一部を示す構成図である。

- | | |
|-----------------|---------------|
| 1,5…演算処理装置 | 2,6…演算実行部 |
| 3,7…ローカルバス | 4,8…バッファ |
| 9…チャネル装置 | 10…入出力制御装置 |
| 11…共通バス | 12…バス固有信号ライン |
| 13…マイクロプロセッサ | 14…コントロールメモリ部 |
| 15…データ転送コントロール部 | |
| 16…入出カインターフェイス部 | |
| 21…ステータスレジスタ | 22…コマンドレジスタ |
| 23…データアドレスレジスタ | |
| 24…データカウントレジスタ | |
| 25…割込みアドレスレジスタ | |



第1図



第2図